

平本研究室

[シリコンナノテクノロジーとVLSIデバイス]

生産技術研究所 情報・エレクトロニクス系部門

Department of Informatics and Electronics

http://vlsi.iis.u-tokyo.ac.jp

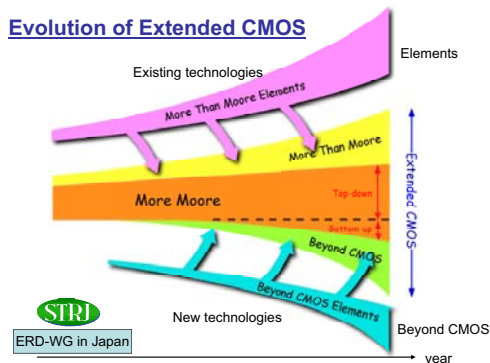
集積デバイスエンジニアリング

電気系工学専攻

研究背景と研究のターゲット

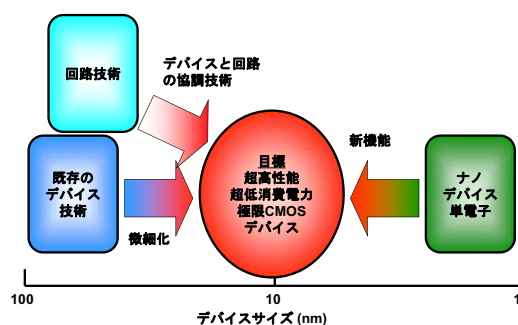
将来のCMOS技術

CMOSデバイスの限界が叫ばれていますが、平本研では将来の集積デバイスはCMOS延長技術を基盤としてBeyond CMOSなどのさまざまなデバイスが融合していくと考えています。



目標に向けてのアプローチ

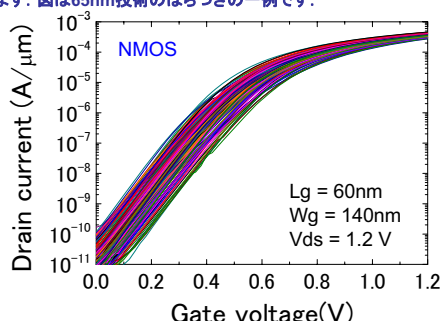
研究のターゲットは10nm級の極限CMOSデバイスです。平本研では下記の3つのアプローチで、将来の超高速・超低消費電力極限CMOSデバイスの研究を行っています。



研究成果の紹介

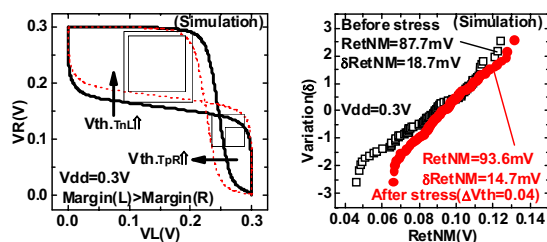
微細MOSTランジスタの特性ばらつき

微細トランジスタでは、特性ばらつきがますます大きくなり問題となっています。平本研では、特性ばらつきの原因究明と、ばらつきに強いデバイスの検討を行っています。図は65nm技術のばらつきの一例です。



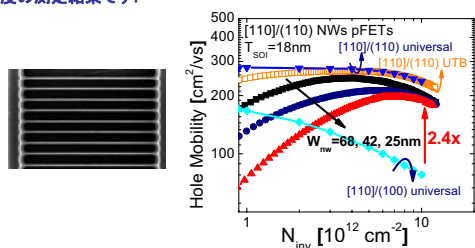
SRAM不安定性の自己修復

特性ばらつきの影響を最も受けるのはSRAMと呼ばれるメモリです。本研究室では、SRAMのばらつきを電圧印加により一括で自己修復させる全く新しい手法を提案しています。図は修復後の安定性とその累積度数分布です。



シリコンナノワイヤ・トランジスタ

将来のデバイス構造として期待されているシリコンナノワイヤ・トランジスタの電気伝導特性を評価しています。量子効果等の影響で高い移動度が得られる可能性があります。図はナノワイヤアレーの電子顕微鏡写真と正孔移動度の測定結果です。



シリコン単電子トランジスタ

電子1個レベルの制御が可能な単電子デバイスの試作をシリコンで行っています。図はデバイスの模式図と、室温で世界最大のクーロンブロッケード振動特性です。

